

Caractérisation et modélisation de transistors à nanofils verticales de silicium sans jonction pour circuits logiques 3D

Yifan Wang, Cristell Maneux, Chhandak Mukherjee, Marina Deng

Laboratoire IMS, Université de Bordeaux, UMR CNRS 5218, Cours de la libération, 33405 Talence, France

1 Introduction

L'utilisation de plus en plus importante du « deep learning » dans les divers domaines des systèmes informatiques tels que le traitement du langage naturel, la classification des images et la reconnaissance vocale [1], ont conduit à des demandes croissantes en matière de traitement des données et de fonctionnalité. Pour répondre à cette problématique, les VNWFETs sont considérés comme une solution appropriée en raison de leurs multiples avantages, notamment pour la faible complexité de fabrication, la compacité et la faible consommation d'énergie électrique. L'architecture 3D de VNWFETs permet de construire des circuits logiques simples (Fig. 1). En empilant plusieurs couches de portes, on réalise des circuits logiques à haute densité. L'intégration de VNWFET dans le flux de conception classique n'est pas simple et nécessite une co-optimisation des technologies de conception (DTCO) à un stade précoce. Nous avons exploré les stratégies de la caractérisation et de l'extraction des paramètres des VNWFETs pour alimenter les modèles compacts dans DTCO [2].

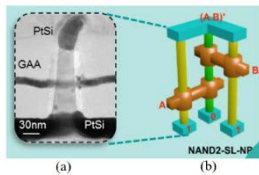


Fig. 1. (a) TEM cross section of Nanowire, (b) A logic circuit of NAND by stacking.

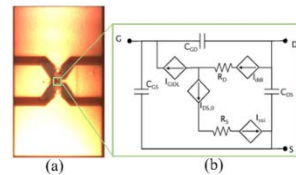


Fig. 2. (a) Test structure, (b) intrinsic transistor electrical equivalent

2 Modèle compact des VNWFETs

Le modèle compact des VNWFETs est un modèle physique simplifié et représenté par un circuit électrique équivalent (Fig. 2). Le modèle est écrit en Verilog-A et est compatible avec les outils de conception de circuit existants. La comparaison des résultats des simulations des modèles compacts des VNWFETs et des mesures de transistors en courant continu (CC) montre une bonne concordance [3].

3 Scalabilité

En analysant la dépendance géométrique du courant, nous observons une amélioration significative de l'évolutivité du courant à des géométries plus grandes. Toutefois, les paramètres de performance (DIBL, SS, I_{OFF}) se dégradent significativement à des diamètres de nanofil plus importants. Cependant, l'augmentation du nombre de nanofils parallèles tout en maintenant le diamètre en dessous d'une valeur critique permet non seulement de maintenir le contrôle électrostatique de chaque nanofil individuel, mais aussi d'augmenter le courant de conduction. Nous avons désormais considéré ces configurations dimensionnelles optimales dans les analyses suivantes.

4 Caractérisation I-V pulsée

En raison des contraintes géométriques, les performances des composants sont impactées par la température et les pièges, d'où la nécessité d'étudier les effets thermiques et de piégeage par la mesure pulsée. D'après les résultats des tests, nous observons que le courant I_D augmente avec une impulsion plus large, ce qui est diamétralement opposé à celui des transistors MOS classiques. Un comportement similaire a été constaté pour le courant à différentes températures : la température et le courant I_D sont positivement corrélées contrairement aux transistors MOS classiques. Les composants à petite géométrie sont plus fortement affectés par la température. Notre hypothèse est que ce phénomène est causé par une combinaison de la température et des pièges, et nous devons par la suite vérifier notre conjecture.

5 Conclusion

Au cours de ce travail, nous avons validé le modèle compact de VNWFET. L'étude de la dépendance géométrique offre une nouvelle perspective pour améliorer la conception des futurs circuits logiques 3D utilisant des VNWFETs. Enfin, des mesures d'impulsions supplémentaires utilisant des largeurs d'impulsions plus petites et à basse température sont nécessaires pour distinguer et analyser les effets thermiques et de piégeage.

Références

- [1] L. B. Letaifa and J. -L. Rouas, "Transformer Model Compression for End-to-End Speech Recognition on Mobile Devices," 2022 30th European Signal Processing Conference (EUSIPCO), 2022, pp. 439-443.
- [2] C. Maneux, C. Mukherjee, M. Deng, et al., "Modelling of vertical and ferroelectric junctionless technology for efficient 3D neural network compute cube dedicated to embedded artificial intelligence (Invited). 67th Annual IEEE International Electron Devices Meeting (IEDM 2021), Dec 2021, SanFrancisco, United States
- [3] C. Mukherjee, A. Poittevin, I. O'Connor, G. Larrieu, et C. Maneux, "Compact modeling of 3D vertical junctionless gate-all-around silicon nanowire transistors towards 3D logic design", *Solid-State Electron.*, vol. 183, p. 108125, sept. 2021,