

Sujet de thèse : Étude et développement d’une architecture d’émission large bande innovante pour les applications 5G.

Doctorant : Rémi Quéheille

Directrice de thèse : Nathalie Deltimple, Co-directeur : François Rivet

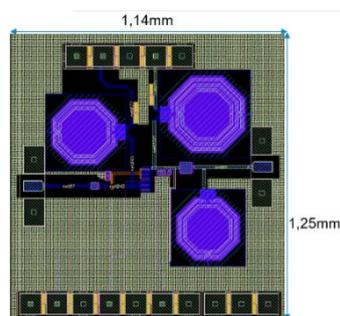
La thèse est réalisée dans le cadre du laboratoire commun ST/IMS dans l’équipe “Circuits et Systèmes Hyperfréquence” (CSH) au laboratoire IMS.

I. Contexte Scientifique

La 5ème Génération (5G) de communications offre des débits très élevés en utilisant plusieurs fréquences porteuses simultanément dans la bande de 617MHz à 5GHz. Le principal défi est de faire une agrégation intelligente des porteuses sans augmenter la consommation en considérant les contraintes de multi standards, de résolution, de vitesse, d’intégration. Les convertisseurs analogique-numérique de type Nyquist et le conditionnement RF forment le goulot d’étranglement de l’émetteur-récepteur radiofréquences. Le projet ANR AGGREGATE5 propose une solution de rupture technologique d’un émetteur-récepteur polyvalent intelligent à haut débit intégré dans une technologie nanométrique FDSOI CMOS. Le travail de thèse porte sur la conception d’un amplificateur de puissance large bande adressant la bande de fréquence de la 5G comprise entre 3 et 5 GHz.

II. Conception du premier prototype

Le premier circuit de cette thèse reprend le concept théorique de la classe-J. Un travail sur l’étage de sortie est réalisé afin de contrôler la PAE (Power Added Efficiency) sur la bande passante (entre 3 et 5 GHz). Pour cela on montre qu’une capacité variable en sortie contrôlant l’impédance de la seconde harmonique permet de déplacer la PAE maximale dans la bande passante sans influencer la puissance de sortie et le gain. Un montage cascode en mode commun est utilisé pour valider ce principe. Le layout est réalisé pour la technologie CMOS 28nm FDSOI de STMicroelectronics.



III. Perspectives

Le premier circuit en mode commun sera fabriqué par STMicroelectronics avec la technologie CMOS 28nm FDSOI. Il sera ensuite mesuré en utilisant les appareils de la plateforme NANOCOM du laboratoire IMS. En parallèle, une preuve de concept du principe de contrôle de PAE est en cours de réalisation sur PCB (Printed Board Circuit). Le second circuit intégré en début de conception correspond à une version différentielle du premier circuit. L’idée étant d’intégrer le contrôle de la PAE dans le balun de sortie.