

Vers le composant ultime MOS-HEMTs : Quelles architectures et quels matériaux ?

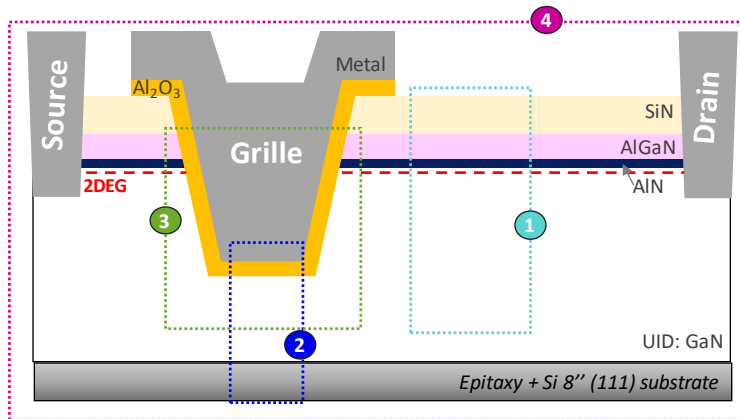


Figure 1 : Schéma général du MOS-HEMT étudié au cours de cette thèse. La zone 1 concerne l'étude gaz bidimensionnel (2DEG), la zone 2 l'étude spécifique diélectrique/GaN et la zone 3 regroupe l'étude de la morphologie de grille et de l'effet du process sur les performances globales du transistor. La zone 4 regroupe tous les résultats à travers une étude TCAD (effet des longueurs, de la température...).

Cette thèse porte sur l'étude des transistors Métal-Oxyde Semi-conducteurs à grille encadrée (MOS-Channel) à haute mobilité électronique (HEMTs) à base de nitrure de gallium (GaN) pour la conversion de puissance (DC/AC), pour des tensions applicatives de 100V-650V confère *Figure 1*. Ce travail consiste à améliorer les performances électriques du transistor MOS-HEMT. Un premier enjeu est l'optimisation de la résistance à l'état ON ou R_{ON} en gardant sa robustesse en blocage (R_{ON}/BV). Basé sur des mesures expérimentales de courant de drain en fonction de la tension de grille $I_D(V_G)$ et des mesures de capacité $C(V_G)$ sur des structures de test Gated Van der Pauw « Normally-ON » (passant à $V_G < 0V$) ainsi que sur des simulations 1D Poisson-Schrödinger, différentes variations de l'épitaxie (épaisseur d'AlGaIn, d'AlN, de GaN:UID mais aussi dopage donneur de l'AlGaIn, et variation du pourcentage d'aluminium de la barrière), ont permis de comprendre les effets sur la densité d'électrons du canal d'électron bidimensionnel (2DEG) ①, sur la mobilité et sur la résistance 2DEG (R_{2DEG}). Une prochaine étude sur transistor devrait permettre d'étudier le comportement non seulement sur les résistances mais aussi en blocage afin de valider le « trade-off ».

Un second enjeu est d'avoir un transistor bloqué à $V_G=0V$ (transistors gravés), pour ce faire l'étude des défauts (DITs/ borders traps) présents à l'interface diélectrique/GaN ② seront étudiés pour comprendre notamment l'effet de « pinning » de l'énergie de fermi sur la tension de seuil.

Enfin, des simulations TCAD Synopsys couplées aux mesures expérimentales sur des structures de références pour les applications de puissances sont étudiées ④. La structure est implémentée dans le bloc « Sprocess » afin de reproduire les différentes architectures et morphologies de grille basées sur les mesures TEMs. La partie « Sdevice » modélise le comportement électrique de la structure en prenant en compte de nos modèles de compensation diélectrique/GaN, de charges d'interfaces de polarisations du 2DEG ($\sigma_{AlGaIn/AlN}$ & $\sigma_{AlN/GaN}$) et nos modèles de mobilités calibrés sur nos mesures expérimentales par Split-CV, sur Van der Pauw Normally-Off pour la mobilité du canal ($\mu_{channel}$), sur structure Normally ON pour la mobilité du 2DEG (μ_{2DEG}) et une méthode basée sur le $R_{ON}(L_G)$, L_G étant la longueur de grille, pour l'extraction de la mobilité des flans ou encore dénommés « sidewalls » (μ_{SW}). Par exemple, différents procédés de gravure ont été comparé pour plusieurs orientations cristallographiques ($[1\bar{1}00]$ à $[11\bar{2}0]$) du canal d'électron afin de mettre en évidence les effets de dégradations de surface, d'oxydation et de morphologie de grille sur les performances électriques, soit sur la tension de seuil (V_{TH}), la résistance de canal ($R_{channel}$), R_{ON} , la mobilité du canal et des sidewalls ($\mu_{channel}$, μ_{SW}) ③ dans un premier temps à 25°C puis à 75° et 150°C.